

PCT/JP 03/16218

18.12.03

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

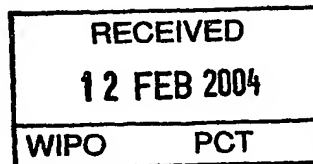
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 2 月 2 0 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 3 7 0 6 3 4  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 2 - 3 7 0 6 3 4 ]

出      願      人                      株式会社アドバンテスト  
Applicant(s):

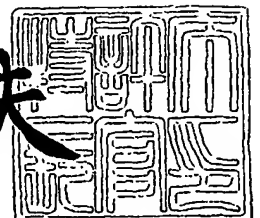


PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 4 年    1 月 2 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 10662

【提出日】 平成14年12月20日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G01R 31/26

【発明者】

    【住所又は居所】 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバン  
                        テスト内

    【氏名】 大島 英幸

【特許出願人】

    【識別番号】 390005175

    【氏名又は名称】 株式会社アドバンテスト

【代理人】

    【識別番号】 100086759

    【弁理士】

    【氏名又は名称】 渡辺 喜平

【手数料の表示】

    【予納台帳番号】 013619

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0217310

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体試験装置

【特許請求の範囲】

【請求項 1】 被試験デバイスから出力されるクロックを入力し、このクロックを一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第一のタイムインターポレータと、

被試験デバイスから出力される出力データを入力し、この出力データを一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第二のタイムインターポレータと、

第一及び第二のタイムインターポレータから出力される時系列のレベルデータを入力することにより、第一のタイムインターポレータに入力されるクロックのエッジタイミングで第二のタイムインターポレータに入力される出力データを選択して被試験デバイスの被測定データとして出力する第一の選択回路と、を備え、

第一及び／又は第二のタイムインターポレータが、複数のストロープで取得される時系列のレベルデータを入力し、当該レベルデータの立ち上がりエッジ及び／又は立ち下がりエッジのエッジタイミングを示すレベルデータを選択的に出力するエッジセレクトを備えることを特徴とする半導体試験装置。

【請求項 2】 第一のタイムインターポレータから出力される時系列のレベルデータを入力することにより、第一のタイムインターポレータに入力されるクロックのエッジタイミングで当該第一のタイムインターポレータに入力されるクロックを選択して、被試験デバイスのクロックデータとして出力する第二の選択回路を備える請求項 1 記載の半導体試験装置。

【請求項 3】 第一のタイムインターポレータは、  
被試験デバイスから出力されるクロックを入力する複数の順序回路と、  
一定のタイミング間隔で遅延させたストロープを複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、  
複数の順序回路から出力される時系列のレベルデータを入力し、被試験デバイスのクロックを入力して取得される時系列のレベルデータの、立ち上がりエッジ

を示すレベルデータ、立ち下がりエッジを示すレベルデータ、又は立ち上がりエッジ及び立ち下がりエッジを示すレベルデータを出力するエッジセクタと、

エッジセクタから出力されるレベルデータを入力し、被試験デバイスのクロックのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を備え、

第二のタイムインターポレータは、

被試験デバイスから出力される出力データを入力する複数の順序回路と、

一定のタイミング間隔で遅延させたストロブを複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、を備える請求項 1 又は 2 記載の半導体試験装置。

【請求項 4】 第二のタイムインターポレータは、

複数の順序回路から出力される時系列のレベルデータを入力し、被試験デバイスの出力データを入力して取得される時系列のレベルデータの、立ち上がりエッジを示すレベルデータ、立ち下がりエッジを示すレベルデータ、又は立ち上がりエッジ及び立ち下がりエッジを示すレベルデータを出力するエッジセクタと、

エッジセクタから出力されるレベルデータを入力し、被試験デバイスの出力データのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有する請求項 3 記載の半導体試験装置。

【請求項 5】 エッジセクタは、

一の順序回路の反転出力と次段の順序回路の非反転出力を入力する第一の AND 回路と、一の順序回路の非反転出力と次段の順序回路の反転出力を入力する第二の AND 回路と、第一及び第二の AND 回路の出力を入力する OR 回路と、第一の AND 回路、第二の AND 回路及び OR 回路の出力のいずれかを選択するセクタとからなる、一又は二以上のセクタ回路からなる請求項 3 又は 4 記載の半導体試験装置。

【請求項 6】 第一の選択回路は、

第一のタイムインターポレータで符号化された時系列のレベルデータを選択信号として、第二のタイムインターポレータから入力される時系列のレベルデータのうち、一のデータを選択し、被試験デバイスの被測定データとして出力するセ

レクタを備える請求項 1, 2, 3, 4 又は 5 記載の半導体試験装置。

【請求項 7】 第二の選択回路は、

第一のタイムインターポレータで符号化された時系列のレベルデータを選択信号として、第一のタイムインターポレータから入力される時系列のレベルデータのうち、一のデータを選択し、被試験デバイスのクロックデータとして出力するセクタを備える請求項 2, 3, 4 又は 5 記載の半導体試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、被試験デバイスから出力される出力データを所定の期待値データと比較して、当該被試験デバイスの良否を判定する半導体試験装置に関し、特に、被試験デバイスから出力されるクロック及び出力データを時系列のレベルデータとして取得して、被試験デバイスの出力データを当該被試験デバイスから出力されるクロック信号の立ち上がりエッジ、立ち下がりエッジ、又は立ち上がり及び立ち下がりの両エッジのタイミングで取り込むことができるソースシンクロナス回路を備えることにより、出力データをデバイスのジッタに同調した信号変化点で取り込むことができ、ジッタに左右されることなく正確な試験結果が得られる、特にデータレートとしてクロックの立ち上がりと立ち下がりの両エッジでデータ出力される DDR 型デバイスの試験に好適な半導体試験装置に関する。

【0002】

【従来の技術】

一般に、半導体デバイスの試験を行う半導体試験装置（LSI テスタ）は、試験対象となる被試験デバイス（DUT: Device Under Test）に所定の試験パターン信号を入力し、当該被試験デバイスから出力される出力データを所定の期待値パターン信号と比較して、その一致、不一致を判定することにより、当該被試験デバイスの良否を検出、判定するようになっている（例えば、特許文献 1 参照。）

。

図 8 を参照して、この種の半導体試験装置について説明する。同図は、従来の一般的な半導体試験装置（LSI テスタ）の概略構成を示すブロック図である。

同図に示すように、従来の L S I テスタ 110 は、被試験デバイス 101 の出力データを比較電圧とレベル比較するレベルコンパレータ 111 と、被試験デバイス 101 の出力データを所定の期待値と比較するパターン比較器 112、被試験デバイス 101 の出力データを所定のタイミングでパターン比較器 112 に入力するためのフリップ・フロップ 121 を備えている。

### 【0003】

このような構成からなる従来の L S I テスタ 110 では、図示しないパターン発生器から被試験デバイス 101 に所定の試験パターン信号が入力され、被試験デバイス 101 から所定の信号が出力データとして出力される。被試験デバイス 101 から出力された出力データはレベルコンパレータ 111 に入力される。

レベルコンパレータ 111 に入力された出力データは、比較電圧とレベル比較され、フリップ・フロップ 121 に出力される。

フリップ・フロップ 121 では、レベルコンパレータ 111 からの信号が入力データとして保持され、図示しないタイミング発生器からのストローブをクロック信号として、所定のタイミングで出力データが出力される。

フリップ・フロップ 121 から出力された出力データは、パターン比較器 112 に入力され、テスト内のパターン発生器から出力される所定の期待値データと比較され、比較結果が出力される。

そして、この比較結果により、出力データと期待値との一致、不一致が検出され、被試験デバイス 101 の良否 (P a s s / F a i l) の判定が行われる。

### 【0004】

#### 【特許文献 1】

特開平 9-015304 号公報 (第 2-3 頁、第 2 図)

### 【0005】

#### 【発明が解決しようとする課題】

このように、従来の L S I テスタでは、被試験デバイスから出力される出力データは、テスト内部で予め定められたタイミングで出力されるストローブのタイミングで取得されるようになっており、このストローブの出力タイミングは固定されていた。ところが、被試験デバイスの出力データはジッタ (タイミングの不

規則な揺らぎ)を有しているので、固定されたストローブのタイミングで取得される出力データは、同一データであってもその値が一定せず、正確な試験結果が得られないという問題があった。

図9を参照して、このようなジッタによる取得データの変動を説明する。

同図(a)に示すように、被試験デバイスの出力データはある範囲の幅でジッタを有しており、このジッタ幅の分だけ出力データは変化点(立上がりエッジ又は立下がりエッジ)がずれることになる。従って、このようなジッタを有する出力データを固定ストローブで取り込むと、同図(b)に示すように、例えば、「出力データ1」(図9(a))の場合には取得データは“H”となるが、「出力データ2」(図9(b))の場合には“L”となってしまう。

#### 【0006】

このため、固定ストローブによって出力データを取得する従来の試験装置では、本来同一であるデータがジッタの影響によって変動してしまい、正確な試験、判定が困難となるという問題が発生した。

そして、このようなジッタの影響は、特に高速化された半導体デバイス、例えば、DDR型の半導体デバイス等でより顕著であった。

DDR(Double Data Rate)は、各クロック信号の立ち上がりエッジと立ち下がりエッジの双方のタイミングでデータ転送を行う方式で、クロックの立ち上がりエッジ(又は立ち下がりエッジ)のみでデータ転送を行うSDR(Single Data Rate)方式と比べて、同じクロックサイクルで2倍のデータ転送が可能となるが、上述のようなジッタの影響を受け易く、正確な試験が困難となる傾向があった。

#### 【0007】

さらに、このような固定ストローブによる従来の試験装置では、デバイス自体がクロックを出力するような被試験デバイスの試験を正確に行うことができないという問題も発生した。近年、半導体デバイスのデータ転送の更なる高速化を図る次世代入出力インターフェースとして注目される「RapidIO」(登録商標)や「HyperTransport」(登録商標)等を使用した、より高速処理が可能なデバイスが開発されている(例えばIBM社製の次期「PowerPC」(登録商標)向けCP

U等)。このようなデバイスでは、デバイス自体がクロック信号を出力する構成が採られており、デバイスからの出力データも、デバイスから出力されるクロックのエッジタイミングで取得しなければならず、DDR型デバイスの場合には、デバイスから出力されるクロックの立ち上がり及び立ち下りの双方のエッジタイミングで出力データを取得する必要がある。このため、固定ストロープによって出力データを取得する従来の試験装置では、デバイスが出力するクロックと無関係のタイミングで出力データが取り込まれることから、この種のデバイスを正確に試験することが困難であった。

#### 【0008】

本発明は、このような従来の技術が有する問題を解決するために提案されたもので、被試験デバイスから出力されるクロック及び出力データを時系列のレベルデータとして取得し、被試験デバイスの出力データを当該被試験デバイスから出力されるクロック信号の立ち上がりエッジ、立ち下りエッジ、又は立ち上がり及び立ち下りの両エッジのタイミングで取り込むことができるソースシンクロナス回路を備えることで、出力データをデバイスのジッタに同調した信号変化点で取り込むことができ、ジッタに左右されることなく正確な試験結果が得られる、特にデータレートとしてクロックの立ち上がりと立ち下りの両エッジでデータ出力されるDDR型デバイスの試験に好適な半導体試験装置の提供を目的とする。

#### 【0009】

##### 【課題を解決するための手段】

上記目的を達成するため、本発明の半導体試験装置は、請求項1に記載するように、被試験デバイスから出力されるクロックを入力し、このクロックを一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第一のタイムインターポレータと、被試験デバイスから出力される出力データを入力し、この出力データを一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第二のタイムインターポレータと、第一及び第二のタイムインターポレータから出力される時系列のレベルデータを入力することにより、第一のタイムインターポレータに

入力されるクロックのエッジタイミングで第二のタイムインターポレータに入力される出力データを選択して被試験デバイスの被測定データとして出力する第一の選択回路と、を備え、第一及び／又は第二のタイムインターポレータが、複数のストロープで取得される時系列のレベルデータを入力し、当該レベルデータの立ち上がりエッジ及び／又は立ち下がりエッジのエッジタイミングを示すレベルデータを選択的に出力するエッジセレクトを備える構成としてある。

#### 【0010】

このような構成からなる本発明の半導体試験装置によれば、タイムインターポレータと選択回路とエッジセレクトとからなるソースシンクロナス回路を備えることにより、被試験デバイスから出力されるクロック及び出力データを、時系列のレベルデータとして取得することができる。時系列のレベルデータは、被試験デバイスのクロック（又は出力データ）の信号変化点であるエッジタイミングを示すものである。従って、このクロックのエッジタイミングを示すレベルデータを取得できることにより、当該レベルデータを被試験デバイスの出力データを取得するタイミング信号として用いることができる。

そして、特に本発明では、エッジセレクトを備えることにより、タイムインターポレータにおいて複数のストロープで取得される時系列のレベルデータを、立ち上がりエッジ、又は立ち下がりエッジ、又は立ち上がり及び立ち下がりの双方のエッジのタイミングを示すレベルデータとして選択的に出力することができる。

#### 【0011】

これにより、被試験デバイスのクロック及び出力データの信号変化点（立ち上がりエッジ又は立ち下がりエッジ）がジッタにより変動した場合にも、変動したクロックのエッジタイミングで出力データを取り込むことが可能となる。

特に、クロックの立ち上がりエッジ及び立ち下がりエッジの双方のエッジタイミングで出力データを取り込むことができることで、SDR方式のみならずDDR方式のデバイスにも対応することができるようになる。

従って、本発明に係る半導体試験装置では、あらゆるタイプの被試験デバイスについて、出力データをジッタに応じて変動するタイミングで取得することがで

き、ジッタの影響に左右されることなく、常に正確な試験結果を得ることが可能となり、特に高速化されたDDR半導体デバイスの試験装置として好適である。

#### 【0012】

また、請求項2記載の半導体試験装置は、第一のタイムインターポレータから出力される時系列のレベルデータを入力することにより、第一のタイムインターポレータに入力されるクロックのエッジタイミングで当該第一のタイムインターポレータに入力されるクロックを選択して、被試験デバイスのクロックデータとして出力する第二の選択回路を備える構成としてある。

#### 【0013】

このような構成からなる本発明の半導体試験装置によれば、第一のタイムインターポレータにおいて時系列のレベルデータとして取得される被試験デバイスのクロックを、当該デバイスのクロックの信号変化点であるエッジタイミングを示すレベルデータによって取り込むことができる。

これにより、当該クロックの信号変化点（立上がりエッジ又は立下がりエッジ）がジッタにより変動した場合には、変動したクロックのエッジタイミングでクロックデータを取り込むことができ、例えば被試験デバイスのクロックについて期待値を設定されていれば、当該期待値とクロックデータとを比較することでクロックデータのみから被試験デバイスの良否判定をすることができる。

このようにクロックのみから被試験デバイスを試験できることで、試験工程の簡素化、迅速化を図ることができ、簡易かつ効率の良いデバイス試験が実現できるようになる。

#### 【0014】

そして、具体的には、請求項3に記載するように、第一のタイムインターポレータは、被試験デバイスから出力されるクロックを入力する複数の順序回路と、一定のタイミング間隔で遅延させたストローブを複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、複数の順序回路から出力される時系列のレベルデータを入力し、被試験デバイスのクロックを入力して取得される時系列のレベルデータの、立ち上がりエッジを示すレベルデータ、立ち下がりエッジを示すレベルデータ、又は立ち上がりエッジ及び立ち下

がりエッジを示すレベルデータを出力するエッジセクタと、エッジセクタから出力されるレベルデータを入力し、被試験デバイスのクロックのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を備え、第二のタイムインターポレータは、被試験デバイスから出力される出力データを入力する複数の順序回路と、一定のタイミング間隔で遅延させたストローブを複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、を備える構成としてある。

#### 【0015】

また、第二のタイムインターポレータは、請求項4に記載するように、複数の順序回路から出力される時系列のレベルデータを入力し、被試験デバイスの出力データを入力して取得される時系列のレベルデータの、立ち上がりエッジを示すレベルデータ、立ち下がりエッジを示すレベルデータ、又は立ち上がりエッジ及び立ち下がりエッジを示すレベルデータを出力するエッジセクタと、エッジセクタから出力されるレベルデータを入力し、被試験デバイスの出力データのエッジタイミングを示すタイミングデータに符号化して出力するエンコーダと、を有する構成としてある。

#### 【0016】

また、エッジセクタは、請求項5に記載するように、一の順序回路の反転出力と次段の順序回路の非反転出力を入力する第一のAND回路と、一の順序回路の非反転出力と次段の順序回路の反転出力を入力する第二のAND回路と、第一及び第二のAND回路の出力を入力するOR回路と、第一のAND回路、第二のAND回路及びOR回路の出力のいずれかを選択するセクタとからなる、一又は二以上のセクタ回路からなる構成としてある。

#### 【0017】

また、第一の選択回路は、請求項6に記載するように、第一のタイムインターポレータで符号化された時系列のレベルデータを選択信号として、第二のタイムインターポレータから入力される時系列のレベルデータのうち、一のデータを選択し、被試験デバイスの被測定データとして出力するセクタを備える構成としてある。

さらに、第二の選択回路は、請求項7に記載するように、第一のタイムインターポレータで符号化された時系列のレベルデータを選択信号として、第一のタイムインターポレータから入力される時系列のレベルデータのうち、一のデータを選択し、被試験デバイスのクロックデータとして出力するセレクトを備える構成としてある。

#### 【0018】

このように、本発明の半導体試験装置では、ソースシンクロナス回路を構成するエッジセレクトを含む第一、第二のタイムインターポレータ、及び第一、第二の選択回路を、順序回路や遅延回路、エンコーダ、セレクト、AND回路、OR回路等、既存の手段を用いて簡単に構成することができる。

これにより、LSI テスタが複雑化、大型化、高コスト化等することなく、簡易な構成によって、本発明に係るソースシンクロナス回路を備えるLSI テスタを実現することができる。

#### 【0019】

また、このような構成のソースシンクロナス回路によれば、複数の順序回路の数、遅延回路の遅延量、エッジセレクトの数等を変更することができ、第一、第二のタイムインターポレータにおける時系列のレベルデータのビット幅（順序回路の数）や分解能（遅延回路の遅延量）を任意の値に設定することができる。

これにより、データレートやジッタ幅等に応じて種々の設定が可能となり、あらゆるLSI にも対応できる汎用性、利便性の高いLSI テスタを実現できる。

なお、本発明の半導体試験装置では、第一、第二のタイムインターポレータに備えられる順序回路はフリップ・フロップやラッチ等、既存の回路を用いて簡単に構成することができる。これにより、タイムインターポレータが複雑化、大型化、高コスト化等することなく、簡易な構成によって、本発明に係るソースシンクロナス回路を備えるLSI テスタを実現することができる。

#### 【0020】

また、本発明の半導体試験装置は、第一、第二のタイムインターポレータから出力される時系列のレベルデータは、バスを介して第一、第二の選択回路に振り分けて入力することができ、所望のクロックを所望の出力データに割り当てて選

択回路に入力して被測定データを取得することができる。これにより、被試験デバイスに応じて第一、第二のタイムインターポレータ及び第一、第二の選択回路が複数備えられる場合にも、各クロック及び出力データを任意に組み合わせて被測定データを取り込むことができ、より汎用性、利便性の高いLSIテストを実現することができる。

#### 【0021】

さらに、本発明の半導体試験装置では、請求項4に記載したように、第二のタイムインターポレータ側にもエッジセレクタとエンコーダを備えることができ、第一のタイムインターポレータと第二のタイムインターポレータとを、まったく同一の構成とすることができる。これにより、例えばLSIテストにパーピン対応の複数のソースシンクロナス回路を備える場合に、すべてのソースシンクロナス回路を同一構成にすることができ、各ソースシンクロナス回路の任意のチャンネルに被試験デバイスのクロックや出力データを割り付けることが可能となり、チャンネルの割付け作業を容易かつ効率的に行うことができるようになる。

また、このように同一構成からなるソースシンクロナス回路を備えることで、複数のソースシンクロナス回路のいずれに対しても、被試験デバイスのクロックや出力データを割り付けることができ、被試験デバイスから複数のクロックや出力データが出力される場合には、任意のクロックのタイミングで任意の出力データを取得することができ、あらゆるデバイスに対応可能な汎用性、利便性の高い試験装置を実現できる。

#### 【0022】

##### 【発明の実施の形態】

以下、本発明に係る半導体試験装置の好ましい実施形態について、図面を参照しつつ説明する。

図1は、本発明に係る半導体試験装置の一実施形態の構成を示すブロック図である。同図に示すように、本実施形態に係る半導体試験装置は、被試験デバイス1の機能試験を行うLSIテスト10を備えており、LSIテスト10が被試験デバイス1から出力される出力データを被測定データとして取得し、これを所定の期待値データと比較することにより、当該被試験デバイス1の良否を判定する

ようになっている。

### 【0023】

被試験デバイス1は、図示しないパターン発生器等から信号が入力されることにより所定の出力データを出力するとともに、クロック信号を出力するようになっている。このようにLSI自体からクロックが出力されるものとして、例えば上述した「RapidIO」（登録商標）や「HyperTransport」（登録商標）等を使用したLSIや、バス・システムをPCIバスから「RapidIO」に変換するためのブリッジLSI等があり、本実施形態の試験装置では、このようなデバイスの試験が行えるようになっている。

また、この被試験デバイス1は、SDR型のデバイスのみならず、例えばDDR-SDRAMのような、DDR型のデバイスで構成されることがある。DDR (Double Data Rate) は、各クロック信号の立ち上がりエッジと立ち下がりエッジの双方のタイミングでデータ転送を行う方式で、クロックの立ち上がりエッジ（又は立ち下がりエッジ）のみでデータ転送を行うSDR (Single Data Rate) 方式と比べて、同じクロックサイクルで2倍のデータ転送が可能な高速デバイスである。本実施形態の半導体試験装置では、このようなDDR型デバイスについても正確な試験が行えるようになっている。

### 【0024】

そして、本実施形態では、この被試験デバイス1から出力されるクロックを複数のLSIテスト10に入力することで、被試験デバイス1のクロック・タイミングで当該被試験デバイス1の出力データを取得し、被測定データとして出力するようにしたものである。

具体的には、LSIテスト10は、被試験デバイス1から出力されるクロック及び出力データを、それぞれ一定のタイミング間隔を有する複数のストロープで取得して、時系列のレベルデータとして出力するとともに、当該時系列のレベルデータを用いて、被試験デバイス1のクロックのエッジタイミングで出力データ（又はクロックデータ）を選択、取得するソースシンクロナス回路を備えている。

## 【0025】

ソースシンクロナス回路は、被試験デバイス 1 から出力される各クロック及び出力データについてパーピン対応となっており、それぞれ同一構成の回路が一つずつ割り当てられるようになっている。

本実施形態では、図 1 に示すように、被試験デバイス 1 のクロック側に一つのソースシンクロナス回路が備えられるとともに、被試験デバイス 1 の出力データ側に 1 ～ n 個のソースシンクロナス回路が備えられている。

各ソースシンクロナス回路は、タイムインターポレータ・バス 40 を介して相互に接続されており、後述するように、タイムインターポレータ・バス 40 の制御により、所定のチャンネル（ソースシンクロナス回路）間で信号の入出力が行われるようになっている。

## 【0026】

そして、各ソースシンクロナス回路は、図 1 に示すように、クロック側、出力データ側とも、それぞれが同一の構成となっており、具体的には、レベルコンパレータ 11 と、パターン比較器 12、タイムインターポレータ 20 及びセクタ 30 を備えている。

レベルコンパレータ 11 は、被試験デバイス 1 からの出力信号（クロック又は出力データ）を入力し、所定の比較電圧とレベル比較して、タイムインターポレータ 20 に信号を出力する。

パターン比較器 12 は、後述するタイムインターポレータ 20 を介してセクタ 30 で選択された被試験デバイス 1 の出力データを所定の期待値と比較し、試験結果を出力する。

## 【0027】

タイムインターポレータ 20 は、被試験デバイス 1 から出力されるクロック又は出力データを一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する。

具体的には、タイムインターポレータ 20 は、複数の順序回路となるフリップ・フロップ 21a ～ 21n と、遅延回路 22、エッジセクタ 23 及びエンコーダ 28 を備えている。

複数のフリップ・フロップ 21a～21n は、本実施形態では並列に接続された D 型フリップ・フロップ群からなり、それぞれレベルコンパレータ 11 を介して被試験デバイスから出力される出力信号（クロック又は出力データ）を、入力データとして入力する。そして、遅延回路 22 を介して入力されるストローブをクロック信号として、所定のタイミングで入力されたデータを出力する。

なお、複数のフリップ・フロップ 21a～21n の一番目のフリップ・フロップ 21a は初期値用で、後述するセクタ 30 には二番目以降のフリップ・フロップ 21b～21n の出力データが入力される。

#### 【0028】

ここで、各タイムインターポレータ 20 に備えられる複数の順序回路としては、本実施形態のフリップ・フロップ 21a～21n 以外の順序回路、例えば、ラッチによって構成することもできる。このようにタイムインターポレータ 20 の順序回路としてラッチを備えるようにしても、本実施形態の場合と同様の効果を奏することができる。また、タイムインターポレータ 20 に備えられる順序回路は、被試験デバイス 1 からのクロック及び出力データを一定のタイミング間隔で取得し、時系列のレベルデータとして出力できる限り、本実施形態で示したフリップ・フロップ 21a～21n やラッチの他、どのような回路構成であっても良い。

#### 【0029】

遅延回路 22 は、一定のタイミング間隔で遅延させたストローブを複数のフリップ・フロップ 21a～21n のクロック端子に順次入力し、当該フリップ・フロップ 21a～21n から時系列のレベルデータを出力させる。

ここで、複数のフリップ・フロップ 21a～21n の数及び遅延回路 22 の遅延量を任意に設定、変更することができ、タイムインターポレータ 20 で取得する時系列のレベルデータのビット幅（順序回路の数）や分解能（遅延回路の遅延量）を所望の値に設定することができる。これにより、試験対象となる被試験デバイス 1 のデータレートやジッタ幅等に応じて、取得される時系列のレベルデータを種々に設定でき、あらゆる LSI にも対応が可能となっている。

#### 【0030】

また、フリップ・フロップ 21a～21n に入力されるストローブは任意のタイミング、周波数に設定でき、クロック側と出力データ側とで入力のタイミングや遅延量を異ならせることもできる。本実施形態では、各 LSI テスタ 10 ごとに異なるタイミング発生器等を備えることにより、クロック側と出力データ側とで、それぞれ独立してストローブを入力するようにしてある（図 1 に示すクロック側の「ストローブ 1」及び出力データ側の「ストローブ 2」）。これにより、被試験デバイス 1 から出力されるクロックと出力データの位相差に応じて適切なタイミングに調節することができる。

被試験デバイス 1 から出力されるクロックと出力データは、位相が常に一致しているとは限らず、例えば、セットアップ・タイムがマイナスとなることも、プラスとなることもある。従って、そのような場合に、ストローブのタイミングをクロック側と出力データ側とでそれぞれ異ならせることにより、位相差のあるクロックと出力データに適切なタイミングでストローブが出力されるように調節することができる。

#### 【0031】

エッジセクタ 23 は、フリップ・フロップ 21a～21n から出力される時系列のレベルデータを入力して、当該レベルデータの、立ち上がりエッジを示すレベルデータ、立ち下がりエッジを示すレベルデータ、又は立ち上がりエッジ及び立ち下がりエッジを示すレベルデータを選択的に出力するようになっている。

具体的には、本実施形態のエッジセクタ 23 は、二個の AND 回路 24、25 と、一個の OR 回路 26、及び一個のセクタ 27 からなるセクタ回路群が、フリップ・フロップ 21a～21n の出力に対応して複数備えられている。

#### 【0032】

第一の AND 回路 24（24a～24n）は、図 1 に示すように、複数のフリップ・フロップ 21a～21n のうちの一のフリップ・フロップ（例えば 21a）の反転出力と次段のフリップ・フロップ（例えば 21b）の非反転出力を入力する AND 回路である。この第一の AND 回路 24 の出力が、クロックの立ち上がりエッジ（Rise Edge）を示す SDR 用のレベルデータとして選択される。

第二の AND 回路 25（25a～25n）は、図 1 に示すように、複数のフリ

ップ・フロップ 21a～21n のうちの一のフリップ・フロップ（例えば 21a）の非反転出力と次段のフリップ・フロップ（例えば 21b）の反転出力を入力する AND 回路である。この第二の AND 回路 25 の出力が、クロックの立ち下がりエッジ（Fall Edge）を示す SDR 用のレベルデータとして選択される。

OR 回路 26（26a～26n）は、図 1 に示すように、第一及び第二の AND 回路 24，25 の出力を入力する OR 回路である。この OR 回路 26 の出力が、クロックの立ち上がり及び立ち下がりの双方のエッジ（Both Edge）を示す DR 用のレベルデータとして選択される。

### 【0033】

セクタ 27（27a～27n）は、図 1 に示すように、第一の AND 回路 24，第二の AND 回路 25 及び OR 回路 26 の各出力を入力し、エッジセレクト信号の切替によりいずれかを選択，出力するマルチプレクサ等からなる選択回路である。

このようなエッジセクタ 23 を備えることにより、フリップ・フロップ 21a～21n を介して複数のストロークで取得される時系列のレベルデータが入力されると、セクタ 27a～27n の選択により、①第一の AND 回路 24 の出力（立ち上がりエッジのみ：Rise Edge）、②第二の AND 回路 25 の出力（立ち下がりエッジのみ：Fall Edge）、③OR 回路 26 の出力（立ち上がり及び立ち下がり双方のエッジ：Both Edge）、のいずれかが選択されて出力され、選択されたレベルデータが示すエッジタイミングが次段のエンコーダ 28 で符号化される。

### 【0034】

なお、エッジセクタ 23 を構成する複数のセクタ回路群は、複数のフリップ・フロップ 21a～21n の出力のうち、一のフリップ・フロップと次段のフリップ・フロップの出力を入力するようになっているので、セクタ 27a～27n で選択されて出力されるレベルデータは、フリップ・フロップ 21a～21n から出力されるレベルデータより 1 ビット分少ないデータとなる。例えば、5 個のフリップ・フロップ 21a～21e から 5 ビット分のレベルデータが出力される場合、エッジセクタ 23 で選択，出力されるレベルデータは 4 個のセク

タ 27 a ~ 27 d を介して出力される 4 ビットのデータとなる。

従って、エッジセクタ 23 に備えられる各回路、すなわち、第一の AND 回路 24 a ~ 24 n, 第二の AND 回路 25 a ~ 25 n, OR 回路 26 a ~ 26 n, セクタ 27 a ~ 27 n の数は、それぞれ、フリップ・フロップ 21 a ~ 21 n よりも一つ少ない数 (1 ~ n - 1 個) となる。

#### 【0035】

エンコーダ 28 は、エッジセクタ 23 の複数のセクタ 27 a ~ 27 n から出力される時系列のレベルデータを入力し、当該レベルデータを符号化して出力するようになっている。

具体的には、エンコーダ 28 には、フリップ・フロップ 21 a ~ 21 n から一定間隔で順次出力されるデータが、エッジセクタ 23 の各セクタ 27 a ~ 27 n を介して順次入力され、すべてのデータが揃ったタイミングでエンコーディングを行い、その結果が出力される。これにより、フリップ・フロップ 21 a ~ 21 n から出力された時系列のレベルデータが、エッジセクタ 23 を経由して選択され、選択されたレベルデータが符号化されて出力されることになる。

#### 【0036】

そして、本実施形態では、クロック側ソースシンクロナス回路のエンコーダ 28 が、複数のフリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータを入力することにより、被試験デバイス 1 のクロックのエッジタイミングを示すタイミングデータを符号化して出力するようになっている。

なお、出力データ側のソースシンクロナス回路では、後述するように、フリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータが、直接セクタ 30 に入力されるようになっている。すなわち、本実施形態では、出力データ側ではエッジセクタ 23 とエンコーダ 28 は使用されないことになる。

従って、出力データ側のタイムインターポレータ 20 については、本実施形態ではエッジセクタ 23 及びエンコーダ 28 を省略することが可能である。

#### 【0037】

セクタ 30 は、複数のフリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータを入力することにより、被試験デバイス 1 のクロックのエッ

ジタイミングで当該被試験デバイス 1 の出力データを選択し、当該被試験デバイス 1 の被測定データとして出力するマルチプレクサ等からなる選択回路である。

具体的には、本実施形態のセクタ 30 は、データ入力側に複数の各フリップ・フロップのうち初期値用のフリップ・フロップ 21 a を除くフリップ・フロップ 21 b ~ 21 n の各出力が直接接続されるとともに、セレクト信号端子にはタイムインターポレータ・バス 40 が接続されている。

そして、出力データ側のセクタ 30 には、出力データ側のフリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータが、エッジセクタ 23 及びエンコーダ 28 を介さず直接入力されるとともに、タイムインターポレータ・バス 40 の制御により、クロック側のエンコーダ 28 で符号化された時系列のレベルデータが、出力データ側のセクタ 30 の選択信号として入力される。

#### 【0038】

これにより、まず、出力データ側のセクタ 30 には、出力データ側タイムインターポレータ 20 のフリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータが入力データとして入力されるので、クロック側のエンコーダ 28 からの信号を選択信号として、出力データ側のレベルデータのうち、一のデータが選択されることになる。

そして、このセクタ 30 で選択された被試験デバイス 1 の出力データが、パターン比較器 12 に出力され、パターン比較器 12 で所定の期待値と比較され、試験結果が出力されるようになっている。

#### 【0039】

一方、クロック側のセクタ 30 には、クロック側のフリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータが、エッジセクタ 23 及びエンコーダ 28 を介さずそのまま入力データとして入力されるとともに、クロック側のエンコーダ 28 からの信号が選択信号として直接入力される。

これにより、クロック側のセクタ 30 では、被試験デバイス 1 のクロック信号がデータとして選択、出力されることになり、クロック側のタイムインターポレータ 20 において時系列のレベルデータとして取得される被試験デバイス 1 のクロックを、当該デバイスのクロックの信号変化点であるエッジタイミングを示

すレベルデータによって取り込むことができる。

従って、被試験デバイス 1 のクロックについて期待値が設定されている場合、セクタ 30 を介して出力されるクロックデータを、パターン比較器 12 で所定の期待値と比較することができる。

#### 【0040】

ここで、クロック側及び出力データ側の各セクタ 30 は、タイムインターポレータ・バス 40 の制御により、入力される選択信号が切り換えられるようになっており、所望のセクタ 30 が使用できるようになっている。

具体的には、出力データ側のセクタ 30 を使用して、被試験デバイス 1 の出力データを期待値と比較する場合には、タイムインターポレータ・バス 40 を介して、クロック側のエンコーダ 28 からの信号が選択信号として出力側のセクタ 30 に入力される。この場合、クロック側のセクタ 30（及びパターン比較器 12）は使用されないことになる。

一方、本実施形態では、クロック側のセクタ 30 を使用して、被試験デバイス 1 のクロックを期待値と比較する場合には、タイムインターポレータ・バス 40 の制御により、クロック側のエンコーダ 28 からの信号は出力側のセクタ 30 に入力されない。この場合には、出力データ側のセクタ 30（及びパターン比較器 12）は使用されないことになる。

#### 【0041】

このように、本実施形態では、クロック側及び出力データ側の各セクタ 30 は、試験内容等に応じてタイムインターポレータ 20 からの出力信号が選択的に入力されるようになっている。その結果、試験内容等によっては、セクタ 30 は、クロック側又は出力データ側のソースシンクロナス回路の少なくとも一方に備えられれば良く、クロック側又は出力データ側のいずれかのセクタ 30 を省略することも可能となる。

但し、クロック側及び出力データ側の双方にセクタ 30 を備えることで、例えばクロック側のエンコーダ 28 の信号をクロック側及び出力データ側の各セクタ 30 に入力してクロックとデータの双方を同時に試験したり、クロック側及び出力データ側の各セクタ 30 の任意のピンにクロックや出力データを自由に

割り付けることができる等、試験装置としての汎用性、拡張性を高めることができるため、本実施形態では図1に示すようにセクタ30をクロック側及び出力データ側にそれぞれ備えている。

#### 【0042】

タイムインターポレータ・バス40は、クロック側と出力データ側のソースシンクロナス回路をそれぞれ接続する伝送線路である。図1に示すように、本実施形態のタイムインターポレータ・バス40は、出力データ側の各チャンネル（ソースシンクロナス回路）のセクタ30のセレクト端子とクロック側のエンコーダ28の出力端子をスイッチ等を介して接続しており、出力データ側の各チャンネルのいずれかのセクタ30に対して、クロック側エンコーダ28の信号を選択信号として入力できるようにスイッチ制御するようになっている。

なお、図1では図示を省略してあるが、複数備えられるソースシンクロナス回路にデータを振り分けるタイムインターポレータ・バス40は、各ソースシンクロナス回路に対応して複数備えられる。

また、いずれのチャンネルのセクタ30にクロック側エンコーダ28の信号が選択信号として入力されるかの情報は、通常は予め与えられている。従って、その情報に従い、試験装置を使用する前に予めスイッチをON/OFFに設定することができる。また、このON/OFFの制御情報は、図示しない制御用レジスタ等に情報を書き込んでおくことができる。

#### 【0043】

このようなタイムインターポレータ・バス40を備えることにより、クロック側のソースシンクロナス回路で取得される時系列のレベルデータを選択信号として、出力データ側の所望のセクタ30に入力することができる。

これにより、所望のチャンネルで取得される出力データを被測定データとして取得することができる。従って、被試験デバイス1の構成やデータレート、ジッタ幅等に応じて、セクタ30を含むソースシンクロナス回路が複数備えられる場合にも、クロックデータと出力データを任意に組み合わせて被測定データを取り込むことができる。

例えば、被試験デバイス1からクロック及び出力データが複数送出される場合

に、「クロック 1 と出力データ 1」、「クロック 2 と出力データ 2」、というように、それぞれ任意の L S I テスタ 10 にデータを割り付けることができる。

そして、この場合、「出力データ 1」については「クロック 1」のタイミングで、「出力データ 2」については「クロック 2」のタイミングで、独立して被測定データを取得することができる。

なお、クロック側のセクタ 30 には、直接クロック側エンコーダ 28 から選択信号が入力されるので、タイムインターポレータ・バス 40 を介することなく、「クロック 1」のタイミングで「クロック 1」の信号を被測定データとして取得することができる。

#### 【0044】

次に、以上のような構成からなる本実施形態に係る半導体試験装置の動作について説明する。

まず、試験装置に備えられる図示しないパターン発生器から被試験デバイス 1 に所定の試験パターン信号が入力されると、被試験デバイス 1 からは、パターン信号に対応する所定の出力データ及びクロックが出力される。

被試験デバイス 1 から出力されたクロック及び出力データは、それぞれ L S I テスタ 10 の別々のチャンネル（ソースシンクロナス回路）に入力される。

各ソースシンクロナス回路に入力されたクロック及び出力データは、それぞれ、レベルコンパレータ 11 に入力、比較電圧とレベル比較された後、各タイムインターポレータ 20 に入力される。

#### 【0045】

各タイムインターポレータ 20 に入力された信号（クロック又は出力データ）は、まず、並列に接続された複数のフリップ・フロップ 21 a ~ 21 n に入力される。そして、クロック又は出力データが入力される各フリップ・フロップ 21 a ~ 21 n のクロック端子には、遅延回路 22 によって一定のタイミング間隔でストロークが入力される。

これによって、各フリップ・フロップ 21 a ~ 21 n からは、入力されたクロック又は出力データが時系列のレベルデータとして取得、出力されることになる。

。

## 【0046】

そして、クロック側 LSI テスタ 10 では、フリップ・フロップ 21a ~ 21n から出力された時系列のレベルデータは、エッジセクタ 23 に入力されるとともに、クロック側セクタ 30 に入力される。

エッジセクタ 23 に入力されたレベルデータは、第一、第二の AND 回路 24, 25 及び OR 回路 26 を介して複数の各セクタ 27a ~ 27n に入力され、エッジセレクト信号の切替によって一の信号が選択、出力される。

このセクタ 27a ~ 27n から出力されるレベルデータは、当該レベルデータが示す①立ち上がりエッジのみ（第一の AND 回路 24 の出力）、②立ち下がりエッジのみ（第二の AND 回路 25 の出力）、③立ち上がり及び立ち下がり双方のエッジ（OR 回路 26 の出力）、のいずれかのタイミングを示すレベルデータとして出力される。

## 【0047】

このエッジセクタ 23 で取得されたレベルデータが、エンコーダ 28 に入力されて符号化される。

エンコーダ 28 で符号化されたレベルデータは、クロックのエッジタイミング（立ち上がりエッジ、又は立ち下がりエッジ、又は立ち上がり及び立ち下がりエッジの双方）を示すタイミングデータとなる。

このタイミングデータが、タイムインターポレータ・バス 40 に入力され、タイムインターポレータ・バス 40 を介して、所定の出力データ側ソースシンクロナス回路に分配され、該当する出力データ側のセクタ 30 に選択信号として入力される。

また、このタイミングデータは、クロック側のセクタ 30 に選択信号として直接、すなわちタイムインターポレータ・バス 40 を介さず入力される。

## 【0048】

一方、出力データ側のソースシンクロナス回路では、フリップ・フロップ 21a ~ 21n で取得された時系列のレベルデータは、初期値用のフリップ・フロップ 21a のデータを除いて、そのままセクタ 30 に入力データとして入力される。これにより、出力データ側のセクタ 30 では、クロック側のエンコーダ 2

8から入力されたタイミングデータを選択信号として、出力データを示す時系列のレベルデータの中から、一のデータを選択し、このデータが被測定データとして出力される。

そして、出力データ側のセクタ30から出力された出力データは、パターン比較器12に入力され、テスト内のパターン発生器から出力される所定の期待値データと比較され、比較結果が出力される。

この比較結果により、出力データと期待値との一致、不一致が検出され、被試験デバイス1の良否(Pass/Fail)の判定が行われる。

すなわち、セクタ30の出力と期待値とが一致すればPassの判定が、不一致の場合にはFailの判定が下されることになる。

#### 【0049】

さらに、クロック側のソースシンクロナス回路では、フリップ・フロップ21a～21nで取得されたクロックの時系列のレベルデータが、初期値用のフリップ・フロップ21aのデータを除いて、そのままクロック側のセクタ30に入力データとして入力される。

そして、クロック側のセクタ30では、クロック側のエンコーダ28から入力されるタイミングデータを選択信号として、クロックを示す時系列のレベルデータの中から、一のデータが選択され、このデータがクロックの被測定データとして出力される。

これにより、クロック側のセクタ30から出力された出力データは、パターン比較器12に入力することで、クロックの所定の期待値データと比較することができる。従って、期待値との比較結果により、クロックデータと期待値との一致、不一致を検出でき、被試験デバイス1の良否(Pass/Fail)の判定をクロック信号のみで行うことができるようになる。

#### 【0050】

以下、図2～図8を参照して、具体的な実施例を説明する。

##### [基本動作]

まず、図2を参照して、本実施形態に係る試験装置において被試験デバイス1のクロックの立ち上がりのエッジタイミングで出力データを取得する場合の基本

動作を説明する。図2は、被試験デバイス1のクロックのエッジタイミングで出力データを取得する動作を示す信号図で、SDR型のデバイスについてクロックの立ち上がりエッジのタイミングで出力データを取得する場合である。

同図に示す実施例では、LSIテスト10の各タイムインターポレータ20にそれぞれ初期値用のフリップ・フロップ21aを含む5個のフリップ・フロップ21a～21eが備えられるとともに、エッジセクタ23に4個のセクタ回路群（第一のAND回路24a～24d、第二のAND回路25a～25d、OR回路26a～26d、セクタ27a～27d）が備えられる場合となっており、被試験デバイス1から出力されるクロック及び出力データは、初期値用のフリップ・フロップ21aを除く4個のフリップ・フロップ21b～21eでビット数“4”のレベルデータとして取得される。

そして、ビット数“4”の出力データ側のレベルデータが、クロック側のエッジセクタ23の第一のAND回路24a～24dとセクタ27a～27dを経て出力されるビット数“4”のクロックのレベルデータによって取得されるようになっている。

#### 【0051】

まず、図2(a)に示す信号の場合、被試験デバイス1から出力されるクロックが“L”から“H”になる立ち上がりのエッジタイミングがビット数“0～3”の“1”の位置であるのに対し、出力データは“L”から“H”になる信号変化点のタイミングがビット数“0”の位置となっている（同図の太線部分）。

この場合、まず、クロックについては、クロック側タイムインターポレータ20の初期値用を除くフリップ・フロップ21b～21eにより、例えば“0111”（ビット数“1”の位置から“H”）のレベルデータが取得され、このデータがエッジセクタ23に入力される。

#### 【0052】

本実施例のエッジセクタ23では、エッジセレクト信号により立ち上がりエッジタイミング（Rise Edge）が選択され、第一のAND回路24を経て4個のセクタ27a～27dにレベルデータが入力されると、セクタ27a～27dからは“1000”（ビット数“1”の位置から“H”）を示すレベルデータ

が出力される。

そして、このレベルデータ“1000”がエンコーダ28によりビット数“1”を示すタイミングデータ（例えば“001”）に符号化される。

なお、クロックの立ち上がりエッジがない場合、例えば“初期値からHigh”の場合や“初期値から最終ビットまでLow”の場合には、エッジセクタ23の出力は“ALL0”となり、エンコーダ28はフルスケール（オーバーフロー）を示す、例えば“100”をセクタ30の選択信号として出力する。

以上のような本実施例のクロックの立ち上がりエッジの位置と、初期値用を含むフリップ・フロップ21a～21d、エッジセクタ23、エンコーダ28の出力の関係を示すと表1のようになる。

【0053】

【表1】

クロック のエッジ位置	FF 出力 (初期値を含む)	エッジセクタ 出力	エンコーダ 出力
“エッジなし”	11111	0000	100
“0”	01111	1000	000
“1”	00111	0100	001
“2”	00011	0010	010
“3”	00001	0001	011
“エッジなし”	00000	0000	100

【0054】

被試験デバイス1の出力データは、出力データ側のソースシンクロナス回路の初期値用を除くフリップ・フロップ21b～21eにより、例えば“1111”（ビット数“0”の位置から“H”）のレベルデータとして取得され、このデータが、セクタ30の各入力端子に入力される。そして、出力データ側のセクタ30では、クロック側から入力される選択信号（“001”）により、ビット数“1”に対応する入力端子のデータが選択される。この結果、セクタ30から出力されるデータは“H”となる。

以上の出力データ側のセクタ30の入力端子に入力される出力データと選択信号の関係を表2に示す。

【0055】

【表2】

セレクト入力			セレクト出力
入力端子	データ	選択信号	
000	1	001 ("1")	
001	1		1
010	1		
011	1		
100	1		

【0056】

一方、図2 (b) に示す信号の場合は、図2 (a) の信号からクロック、出力データともにジッタにより同位相 (2ビット分) ずれた場合を示している。

この場合、クロックが“L”から“H”になるエッジタイミングはビット数“3”の位置であるのに対して、出力データが“L”から“H”になる信号変化点のタイミングがビット数“2”の位置となる (同図の太線部分)。従って、クロック側の初期値用を除くフリップ・フロップ21b～21eにより、例えば“0001” (ビット数“3”の位置から“H”) のレベルデータが取得され、このデータがエッジセクタ23に入力される。エッジセクタ23では、第一のAND回路24を経てセクタ27a～27dにレベルデータが入力され、“0001” (ビット数“3”の位置から“H”) のレベルデータが出力される。

そして、このレベルデータ“0001”がエンコーダ28によりビット数“3”を示すタイミングデータ (例えば“011”) に符号化される (表1参照)。

【0057】

出力データは、出力データ側タイムインターポレータ20の初期値用を除くフリップ・フロップ21b～21eにより、例えば“0011” (ビット数“2”の位置から“H”) のレベルデータが取得され、このデータが、セクタ30の各入力端子に入力される。そして、出力データ側のセクタ30では、クロック側から入力される選択信号 (“011”) により、ビット数“3”に対応する

入力端子のデータが選択される。この結果、セクタ 30 から出力されるデータは、図 2 (a) の場合と同様、“H” となる。以上の出力データ側のセクタ 30 の入力端子に入力される出力データと選択信号の関係を表 3 に示す。

【0058】

【表 3】

セクタ入力			セクタ出力
入力端子	データ	選択信号	
000	0	011 ("3")	
001	0		1
010	1		
011	1		
100	1		

【0059】

従って、図 2 (a) の場合も、図 2 (b) の場合も、ジッタにより信号変化点の変動しているが、いずれも被測定データとして“H”が取得されることになる。

これを従来の固定ストロープの試験装置で取得した場合、図 2 (a) の場合には“H”が取得され、図 2 (b) の場合には“L”が取得され、被測定データが一定とならない(図 9 参照)。

このように、本実施形態の試験装置では、被試験デバイス 1 のクロックと出力データの信号変化点(エッジタイミング)がジッタにより変動した場合でも、クロックと出力データが同位相でずれる場合には、常に同じ結果を取得することができる。

【0060】

なお、以上の基本動作は、クロックの立ち下がりエッジのタイミングで出力データを取得する場合も同様である。その場合には、初期値用を除くフリップ・フロップ 21b~21e のビット数“4”の出力データ側のレベルデータが、クロック側のエッジセクタ 23 の第二の AND 回路 25a~25d とセクタ 27

a～27dを経て出力されるビット数“4”のクロックのレベルデータによって取得されることになる。

クロックの立ち下がりエッジの位置と、初期値用を含むフリップ・フロップ21a～21d, エッジセクタ23, エンコーダ28の出力の関係を示すと表4のようになる。

【0061】

【表4】

クロック のエッジ位置	FF 出力 (初期値を含む)	エッジセクタ 出力	エンコーダ 出力
“エッジなし”	00000	0000	100
“0”	10000	1000	000
“1”	11000	0100	001
“2”	11100	0010	010
“3”	11110	0001	011
“エッジなし”	11111	0000	100

【0062】

このように、クロックの立ち下がりエッジのタイミングで出力データを取得する場合にも、エッジセクタ23から出力されるレベルデータは立ち上がりエッジの場合と同様になる。

そして、クロックの立ち上がりエッジと立ち下がりエッジの双方のタイミングで出力データを取得する場合には、クロック側のエッジセクタ23のOR回路26a～26dによって、第一、第二のAND回路24, 25の出力が取られるので、上述した基本動作と同様にして、被試験デバイス1のクロックの立ち上がり及び立ち下がりの両タイミングで出力データを取得できるようになる。

【0063】

[エッジセクタの切替]

次に、エッジセクタ23における切替の実施例を、図3を参照しつつ説明する。図3は、被試験デバイス1のクロックのエッジタイミングを立ち上がりエッジ（同図（a））、又は立ち下がりエッジ（同図（b））、又は立ち上がり及び立ち下がりエッジ（同図（c））の3通りに切り換えて出力データを取得する場

合の信号図である。なお、図3に示す例では、図2で示した基本動作と同様、ビット数“4”のストロープで出力データを取得するようになっているが、ストロープのビット数は任意に変更できることは言うまでもない。

まず、SDR型のデバイスに対して、クロックの立ち上がりエッジのタイミングで出力データを取得する場合には、エッジセクタ23のセクタ27a～27nの選択信号を切り替えて、第一のAND回路24の出力を選択する（Edge Sel=Rise Edge）。

これにより、被試験デバイス1の出力データは、被試験デバイス1のクロックの立ち上がりエッジのタイミングで取得されることになる。図3（a）に示す例では、1サイクル目はビット数“0～3”の“1”の位置のタイミングで、2サイクル目はビット数“2”の位置のタイミングで出力データが取得され、所定の期待値と比較される。

#### 【0064】

次に、SDR型のデバイスに対して、クロックの立ち下がりエッジのタイミングで出力データを取得する場合には、エッジセクタ23のセクタ27a～27nの選択信号を切り替えて、第二のAND回路25の出力を選択する（Edge Sel=Fall Edge）。

これにより、被試験デバイス1の出力データは、被試験デバイス1のクロックの立ち下がりエッジのタイミングで取得されることになる。図3（b）に示す例では、1サイクル目はビット数“0～3”の“1”の位置のタイミングで、2サイクル目はビット数“2”の位置のタイミングで出力データが取得され、所定の期待値と比較される。

なお、この図3（b）に示す例では、クロックの立ち下がりエッジのタイミングに合わせて、図3（a）に示す場合よりもストロープの出力タイミングを遅らせている。

#### 【0065】

さらに、DDR型のデバイスに対して、クロックの立ち上がり及び立ち下がりの双方のエッジタイミングで出力データを取得する場合には、エッジセクタ23のセクタ27a～27nの選択信号を切り替えて、OR回路26の出力を選

択する (Edge Sel=Both Edge)。

これにより、被試験デバイス 1 の出力データは、被試験デバイス 1 のクロックの立ち上がり及び立ち下がりエッジの双方のタイミングで取得されることになる。図 3 (c) に示す例では、1 サイクル目はクロックの立ち上がりエッジでビット数 “0～3” の “1” のタイミングで、2 サイクル目は立ち下がりエッジでビット数 “1” の位置のタイミングで出力データが取得される。

同様に、3 サイクル目はクロックの立ち上がりエッジでビット数 “2” のタイミングで、4 サイクル目は立ち下がりエッジでビット数 “2” の位置のタイミングで出力データが取得される。これにより、DDR 型デバイスの出力データを DDR のタイミングで取得することができる。

なお、図 3 (c) に示す例では、DDR の周波数に合わせて、ストローブの出力周波数を SDR の場合 (図 3 (a), (b) の場合) の 2 倍にしてある。

#### 【0066】

##### [SDR 詳細動作]

次に、SDR 型のデバイスの出力データを取得する場合の詳細動作を、図 4 を参照しつつ説明する。図 4 は、SDR 型の被試験デバイス 1 のクロックのエッジタイミングを立ち上がりエッジで出力データを取得する場合の信号図である。なお、図 4 に示す例では、ビット数 “0～7” の 8 ビットのストローブで出力データが取得される場合となっているが、ストローブのビット数は任意に変更できることは言うまでもない。

まず、図 4 (a) に示すように、クロックが正常に動作している場合、上述した基本動作と同様に (図 2 及び図 3 (a) 参照)、被試験デバイス 1 の出力データは、被試験デバイス 1 のクロックの立ち上がりエッジのタイミングで取得されることになる。図 4 (a) に示す例では、1 サイクル目はビット数 “0～7” の “1” の位置のタイミングで、2 サイクル目はビット数 “2” の位置のタイミングで出力データが取得され、所定の期待値と比較される。

#### 【0067】

次に、ジッタによりクロックが正常に動作しなくなった場合には、図 4 (b), (c) に示すようになる。

まず、図4（b）に示すように、クロックが半サイクル前にずれてしまった場合には、2サイクル目ではクロックの立ち上がりエッジが取れないので、エッジセクタ23の出力は、例えば、“エッジなし”を示す“ALL0”となり（表1参照）、エンコーダ28はフルスケール（オーバーフロー）の信号をセクタ30の選択信号として出力する。

図4（b）に示す例では、立ち上がりエッジが取得できない2サイクル目は、フルスケールとして最終ビット“7”の位置のタイミングで出力データが取得され、その結果、期待値の比較は“否（Fail）”となる。

#### 【0068】

同様に、クロックが半サイクル後ろにずれてしまった場合には、図4（c）に示すように、2サイクル目ではクロックの立ち上がりエッジが取得されないので、フルスケールとして最終ビット“7”の位置のタイミングで出力データが取得され、その結果、期待値の比較は“否（Fail）”となる。

なお、クロックにずれが生じてエンコーダ28でフルスケールの信号が出力される場合に、直ちにエラー判定とし、最終ビット位置で取得される出力データと期待値との比較を行うことなく一律に“否（Fail）”と判定することもできる。

以上、SDR型デバイスについてクロックの立ち上がりエッジで出力データを取得する場合を説明した、クロックの立ち下がりエッジで出力データを取得する場合も、エッジセクタ23のエッジセレクト信号を切り換えることにより、上記と同様に行われる。

#### 【0069】

##### [DDR詳細動作]

次に、DDR型のデバイスの出力データを取得する場合の詳細動作を、図5及び図6を参照しつつ説明する。図5及び図6は、DDR型の被試験デバイス1のクロックの立ち上がり及び立ち下がりの両エッジタイミングで出力データを取得する場合の信号図で、図5はクロックに期待値がある場合、図6はクロックに期待値がない場合となっている。

なお、これらの図に示す例では、ビット数“0～3”の4ビットのストロープ

で出力データが取得される場合となっているが、ストローブのビット数は任意に変更できることは言うまでもない。

#### 【0070】

[クロック期待値がある場合]

被試験デバイス1のクロックに期待値が設定されている場合には、図5に示すように、クロック信号についてもクロック側のセクタ30にデータとして入力され、当該クロックの立ち上がり及び立ち下がりのエッジタイミングで取得されて、クロックの期待値と比較される。これによって、クロックにずれが発生した場合には、クロックデータを取得して期待値と比較することにより、出力データ側を参照することなく、良否の判定をすることができる。

まず、図5(a)に示すように、まず、クロックデータが当該クロックの立ち上がり及び立ち下がりのエッジタイミングで取得され、クロック用の期待値、すなわち、各サイクルの前半でHigh、後半でLowの値と比較される。クロックが正常に動作している場合、このクロックの期待値による判定は常に“良(Pass)”となるので、出力データの取得が行われる。

#### 【0071】

出力データの取得は、上述した基本動作と同様に(図2及び図3(c)参照)、被試験デバイス1の出力データは、被試験デバイス1のクロックの立ち上がりエッジ及び立ち下がりエッジの双方のエッジタイミングで取得されることになる。図5(a)に示す例では、1サイクル目のクロックの立ち上がりエッジ、2サイクル目の立ち下がりエッジとも、ビット数“0～3”の“1”の位置のタイミングで出力データが取得され、所定の期待値と比較される。

同様に、3サイクル目のクロックの立ち上がりエッジではビット数“2”の位置のタイミングで、また、4サイクル目の立ち下がりエッジではビット数“1”の位置のタイミングで出力データが取得され、期待値と比較される。

#### 【0072】

次に、ジッタによりクロックが正常に動作しなくなった場合には、図5(b)、(c)に示すように、クロックデータが当該クロックのエッジタイミングで取得され、クロック用の期待値と比較され、不良が検出されることになる。

まず、図5 (b) に示すように、クロックが半サイクル前にずれてしまった場合には、3サイクル目ではクロックの立ち下がりエッジが取得される。この場合、クロックの立ち下がり位置を示すビット数“2”の位置でクロックのデータ=Lが取得され、クロックのサイクル前半の期待値=Hと比較されるので、良否判定の結果は“否 (F a i l)”となる。

同様に、4サイクル目ではクロックのクロックの立ち上がりエッジが取得される。この場合、クロックの立ち上がり位置を示すビット数“1”の位置でクロックのデータ=Hが取得され、クロックのサイクル後半の期待値=Lと比較されるので、良否判定の結果は“否 (F a i l)”となる。

従って、この場合には、出力データが取得されることなく“否 (F a i l)”と判定されることになる。

#### 【0073】

一方、クロックが半サイクル後ろにずれてしまった場合には、図5 (c) に示すように、3サイクル目にクロックのエッジが取得されないので、フルスケールとして最終ビット“3”の位置でクロックのデータ=Lが取得され、クロックのサイクル前半の期待値=Hと比較されるので、良否判定の結果は“否 (F a i l)”となる。

4サイクル目ではクロックのクロックの立ち上がりエッジが取得され、この場合、クロックの立ち上がり位置を示すビット数“2”の位置でクロックのデータ=Hが取得され、クロックのサイクル後半の期待値=Lと比較されるので、良否判定の結果は“否 (F a i l)”となる。

従って、この場合も、出力データが取得されることなく“否 (F a i l)”と判定されることになる。

#### 【0074】

##### [クロック期待値がない場合]

クロックに期待値がない場合には、上述した基本動作 (図2, 図3 (c) 参照) 及びSDRの詳細動作 (図4 参照) と同様にして、クロックの立ち上がり及び立ち下がりエッジのタイミングで取得された出力データが所定の出力データ用の期待値と比較されて良否の判定が行われる。

詳細な説明は省略するが、この場合の信号は図 6 に示すようになる。

図 6 (a) はクロックが正常に動作している場合、(b) はクロックが半サイクル前にずれてしまった場合、(c) はクロックが半サイクル後ろにずれてしまった場合を示している。

#### 【0075】

以上説明したように、本実施形態に係る半導体試験装置によれば、エッジセクタ 23 を含むタイムインターポレータ 20 と選択回路 30 を有するソースシンクロナス回路を備えることにより、被試験デバイス 1 から出力されるクロック及び出力データを、時系列のレベルデータとして取得することができる。時系列のレベルデータは、被試験デバイス 1 のクロック（又は出力データ）の信号変化点であるエッジタイミングを示すものである。従って、このクロックのエッジタイミングを示すレベルデータを取得することにより、当該レベルデータを被試験デバイス 1 の出力データを取得するタイミング信号として用いることができる。

そして、特に本実施形態では、エッジセクタ 23 を備えることにより、タイムインターポレータ 20 において複数のストロープで取得される時系列のレベルデータを、立ち上がりエッジ、又は立ち下がりエッジ、又は立ち上がり及び立ち下がりの両エッジのタイミングを示すレベルデータとして選択的に出力できる。

#### 【0076】

これにより、被試験デバイス 1 のクロック及び出力データの信号変化点（立ち上がりエッジ又は立ち下がりエッジ）がジッタにより変動した場合にも、変動したクロックのエッジタイミングで出力データを取り込むことが可能となる。

特に、クロックの立ち上がりエッジ及び立ち下がりエッジの双方のエッジタイミングで出力データを取り込むことができることで、SDR 方式のみならず DDR 方式のデバイスにも対応することができるようになる。

従って、本実施形態に係る半導体試験装置では、あらゆるタイプの被試験デバイスについて、出力データをジッタに応じて変動するタイミングで取得することができ、ジッタの影響に左右されることなく、常に正確な試験結果を得ることが可能となり、特に高速化された DDR 半導体デバイスの試験装置に好適となる。

#### 【0077】

なお、本発明の半導体試験装置は、以上の実施形態で示したもののみに限定されるものではなく、本発明の範囲で種々の変更実施ができることは勿論である。

例えば、上述の実施形態では、クロックのエッジ検出について、前エッジ検出の場合を示したが、これを後ろエッジ検出の場合とすることもできる。

図7はクロックのエッジ検出を前エッジ検出と後ろエッジ検出で行う場合の違いを示す信号図であり、(a)は前エッジ検出、(b)は後ろエッジ検出の場合を示している。

#### 【0078】

同図に示すように、前エッジ検出とは、そのテストサイクルで検出された所望のエッジの中で一番最初に検出されたエッジを、出力データを取得するためのクロック側のタイミングデータ（エンコードデータ）とする方法である。

これに対して、後ろエッジ検出とは、そのテストサイクルで検出された所望のエッジの中で一番最後に検出されたエッジを、出力データを取得するためのクロック側のタイミングデータ（エンコードデータ）とする方法である。

本発明は、上述した実施形態で示した前エッジ検出であっても、図7(b)に示すような後ろエッジ検出であっても、クロックの所望のエッジタイミングで出力データを取得でき、ジッタの影響に左右されることなく、被試験デバイスの正確な試験を行えるという本発明の優れた効果を実現することができる。

#### 【0079】

##### 【発明の効果】

以上説明したように、本発明の半導体試験装置によれば、ソースシンクロナス回路を備えることにより、被試験デバイスから出力されるクロック及び出力データを時系列のレベルデータとして取得して、被試験デバイスの出力データを、当該被試験デバイスから出力されるクロック信号の立ち上がりエッジ、立ち下がりエッジ、又は立ち上がり及び立ち下がりの両エッジのタイミングで取り込むことができる。これにより、出力データをジッタに同調した信号変化点で取り込むことができ、ジッタに左右されることなく正確な試験結果が得られる、特にデータレートとしてクロックの立ち上がりと立ち下がりの両エッジでデータ出力されるDDR型デバイスの試験に好適な半導体試験装置を実現することができる。

**【図面の簡単な説明】****【図 1】**

本発明に係る半導体試験装置の一実施形態の構成を示すブロック図である。

**【図 2】**

本発明に係る半導体試験装置の一実施形態における SDR 型の被試験デバイスについてクロックの立ち上がりエッジのタイミングで出力データを取得する動作を示す信号図である。

**【図 3】**

本発明に係る半導体試験装置の一実施形態における被試験デバイスのクロックのエッジタイミングで出力データを取得する動作を示す信号図で、(a) は立ち上がりエッジ、(b) は立ち下がりエッジ、(c) は立ち上がり及び立ち下がりエッジのタイミングで出力データを取得する場合を示している。

**【図 4】**

本発明に係る半導体試験装置の一実施形態において SDR 型の被試験デバイス 1 のクロックのエッジタイミングを立ち上がりエッジで出力データを取得する場合の信号図である。

**【図 5】**

本発明に係る半導体試験装置の一実施形態において DDR 型の被試験デバイス 1 のクロックのエッジタイミングを立ち上がり及び立ち下がりの両エッジで出力データを取得する場合の信号図で、クロックに期待値がある場合を示している。

**【図 6】**

本発明に係る半導体試験装置の一実施形態において DDR 型の被試験デバイス 1 のクロックのエッジタイミングを立ち上がり及び立ち下がりの両エッジで出力データを取得する場合の信号図で、クロックに期待値がない場合を示している。

**【図 7】**

クロックのエッジ検出を前エッジ検出と後ろエッジ検出で行う場合の違いを示す信号図で、(a) は前エッジ検出、(b) は後ろエッジ検出の場合を示している。

**【図 8】**

従来の半導体試験装置の構成を示すブロック図である。

【図 9】

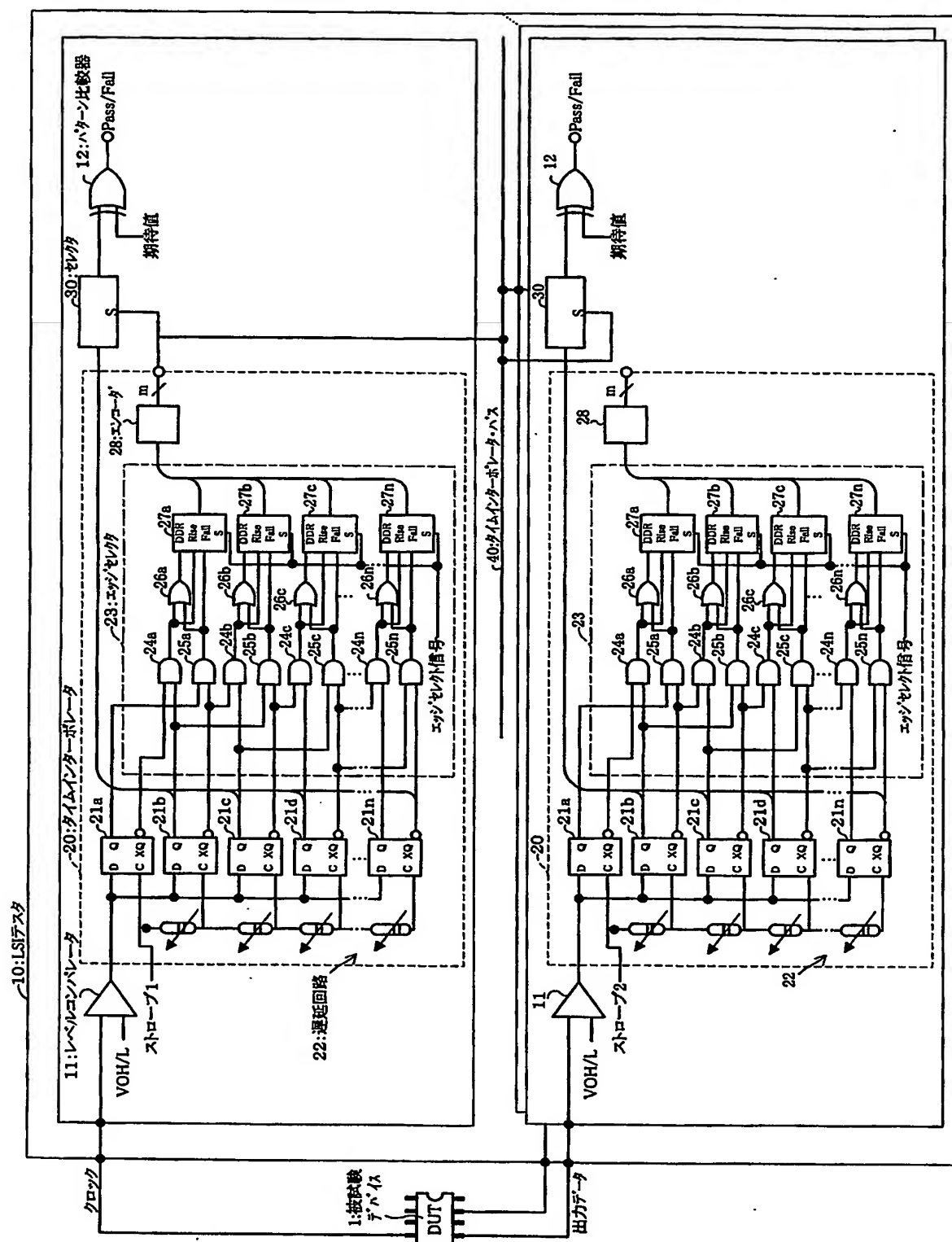
従来の半導体試験装置における被試験デバイスの出力データを示す信号図であり、(a) は出力データのジッタを、(b) はジッタにより取得データにエラーが発生する状態を示している。

【符号の説明】

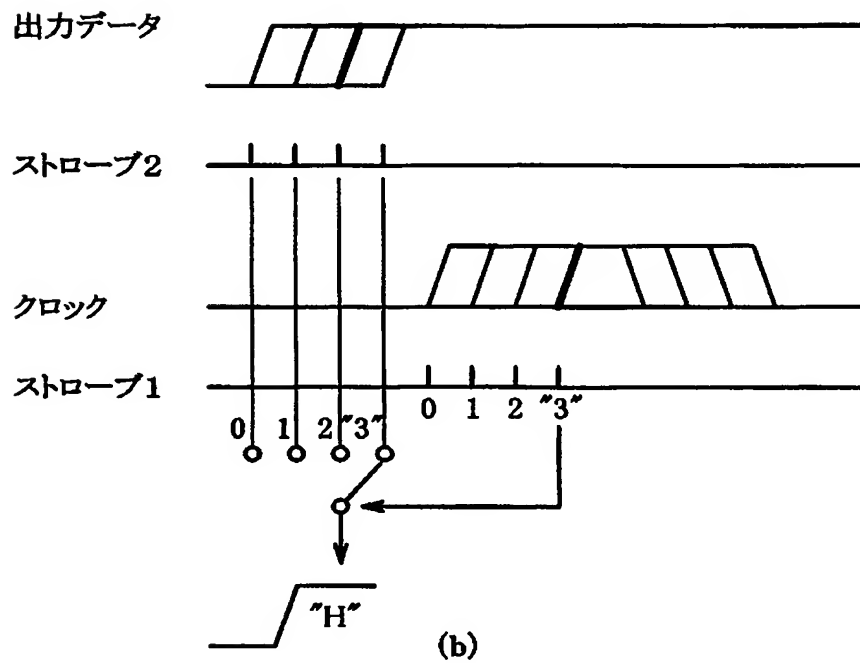
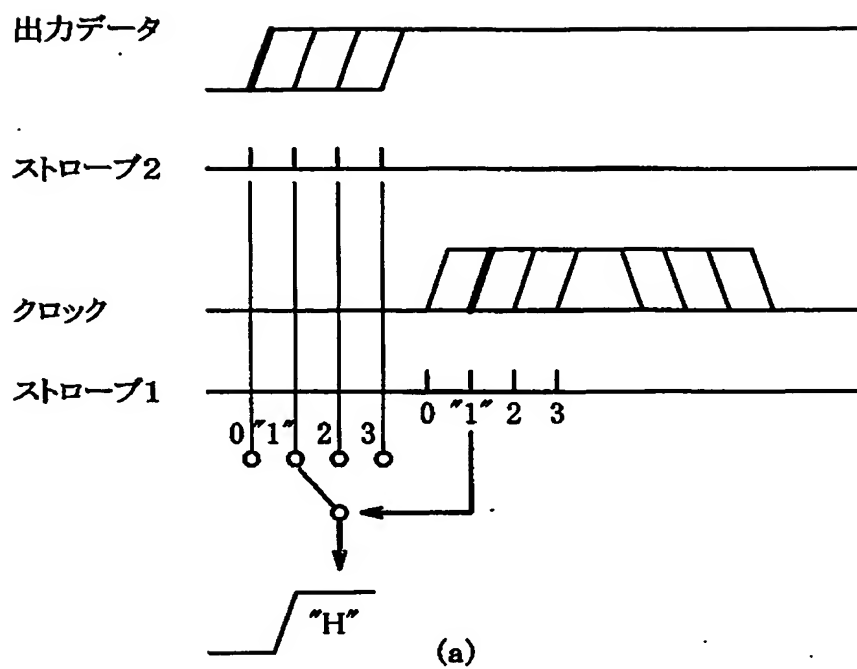
- 1 被試験デバイス
- 10 LSI テスタ
- 11 レベルコンパレータ
- 12 パターン比較器
- 20 タイムインターポレータ
- 21 (21a～21n) フリップ・フロップ
- 22 遅延回路
- 23 エッジセレクタ
- 28 エンコーダ
- 30 セレクタ

【書類名】 図面

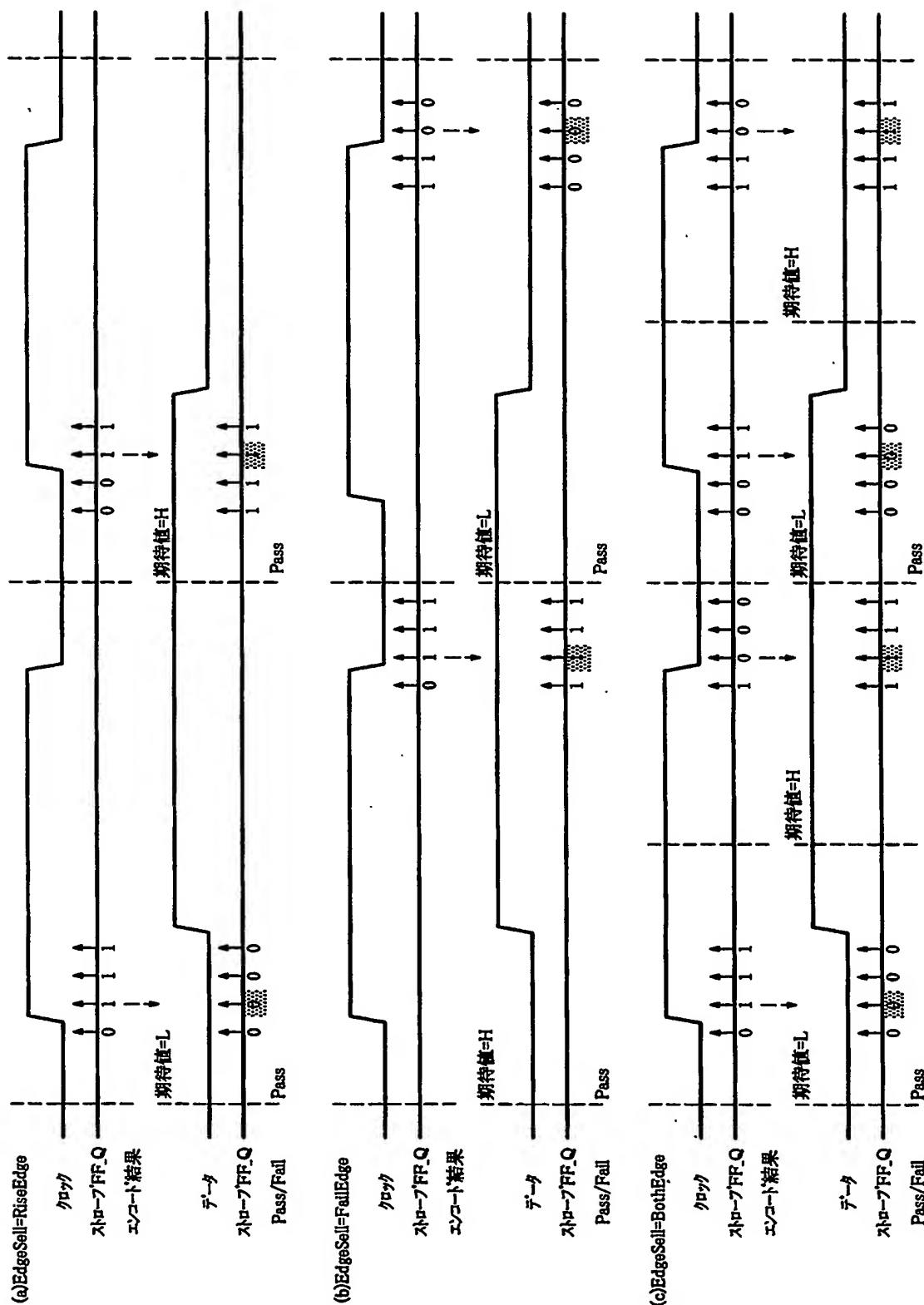
【図 1】



【図 2】



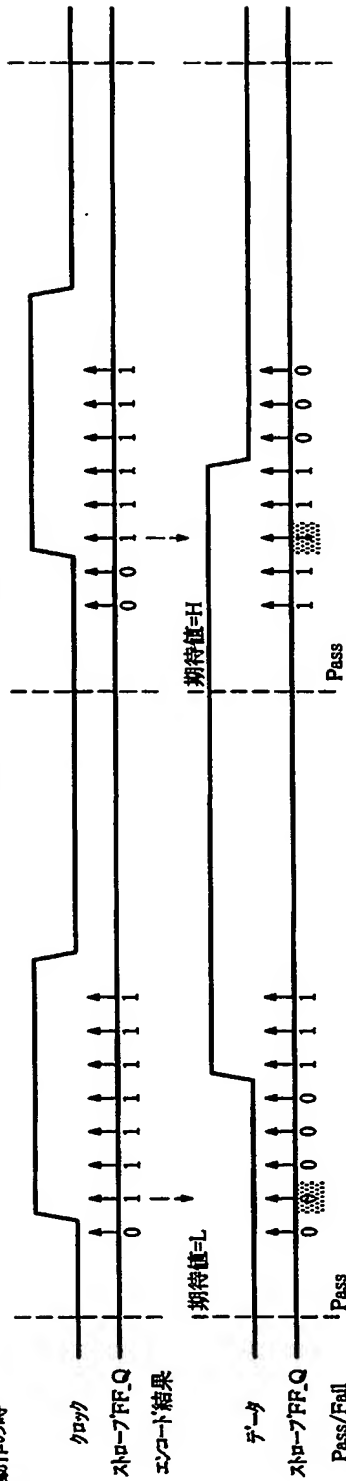
【図 3】



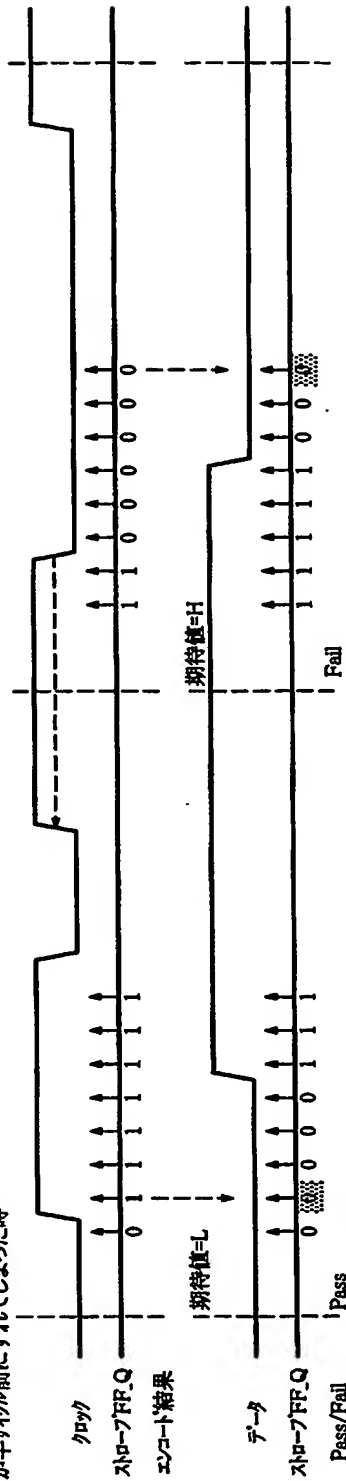
【図4】

EdgeSell=RiseEdge

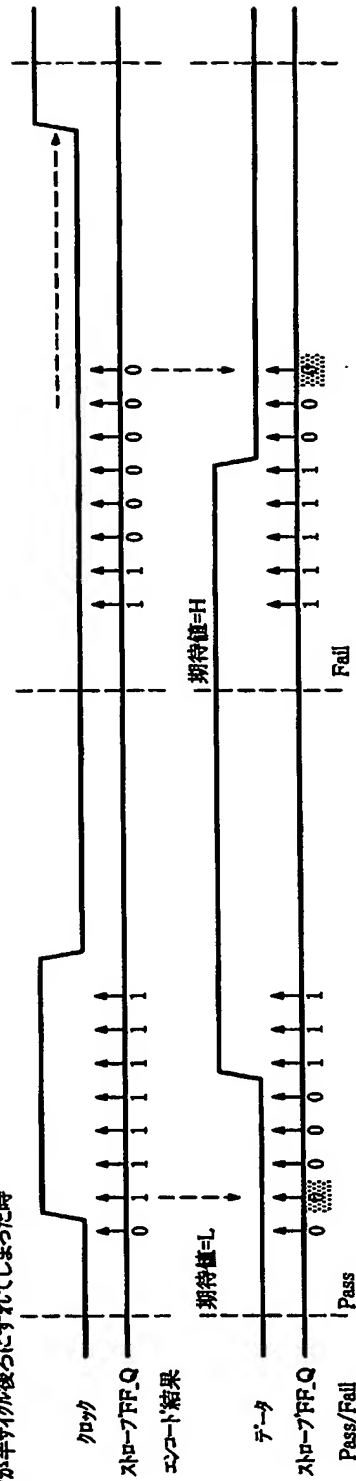
(a)正常動作の時



(b)クロックが半サイクル前にずれてしまった時



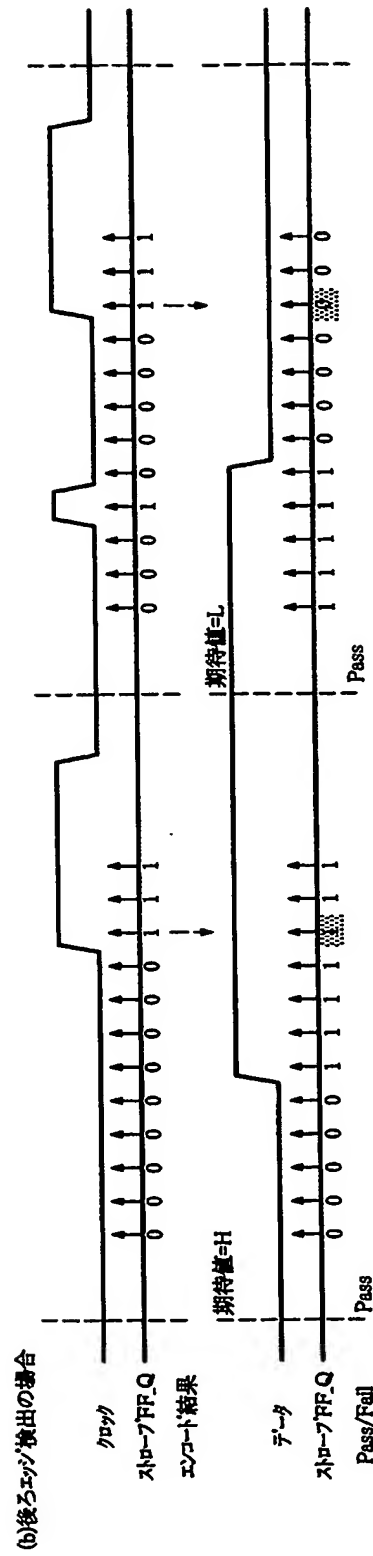
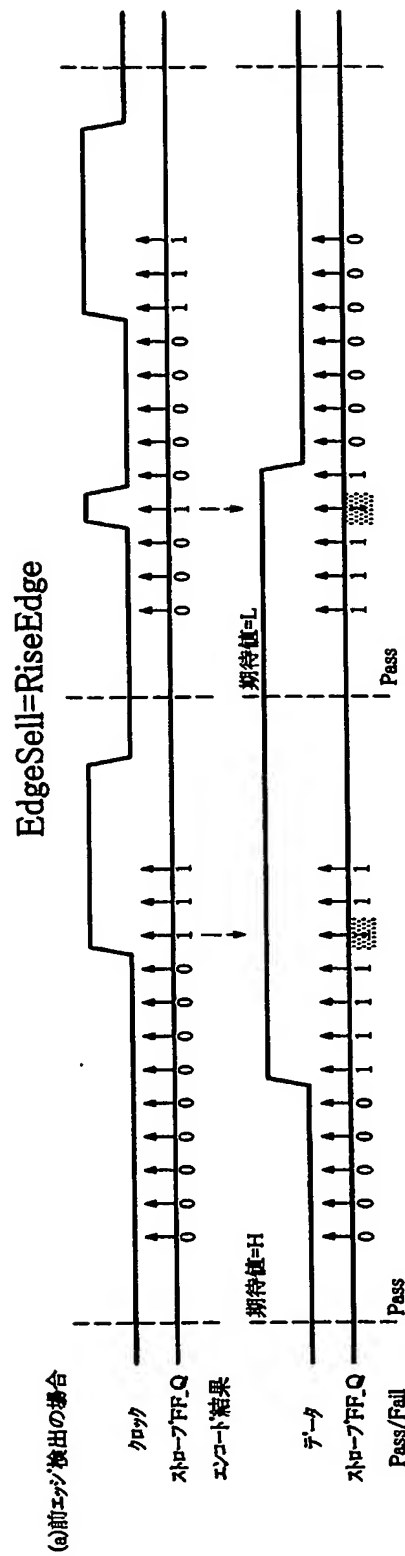
(c)クロックが半サイクル後ろにずれてしまった時



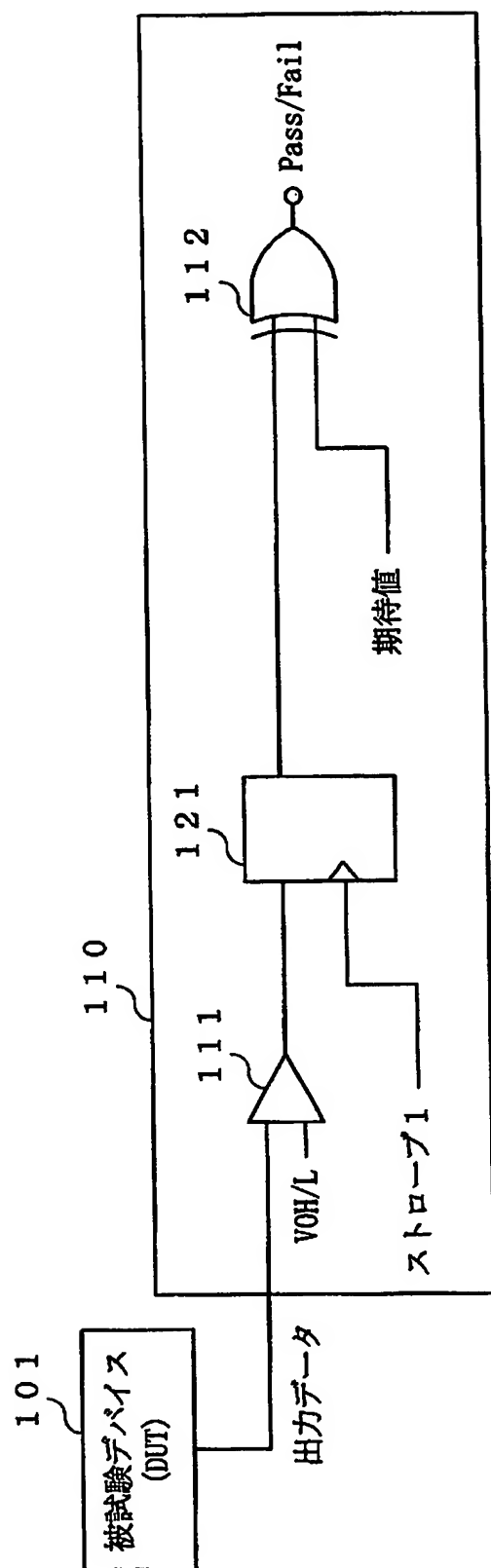




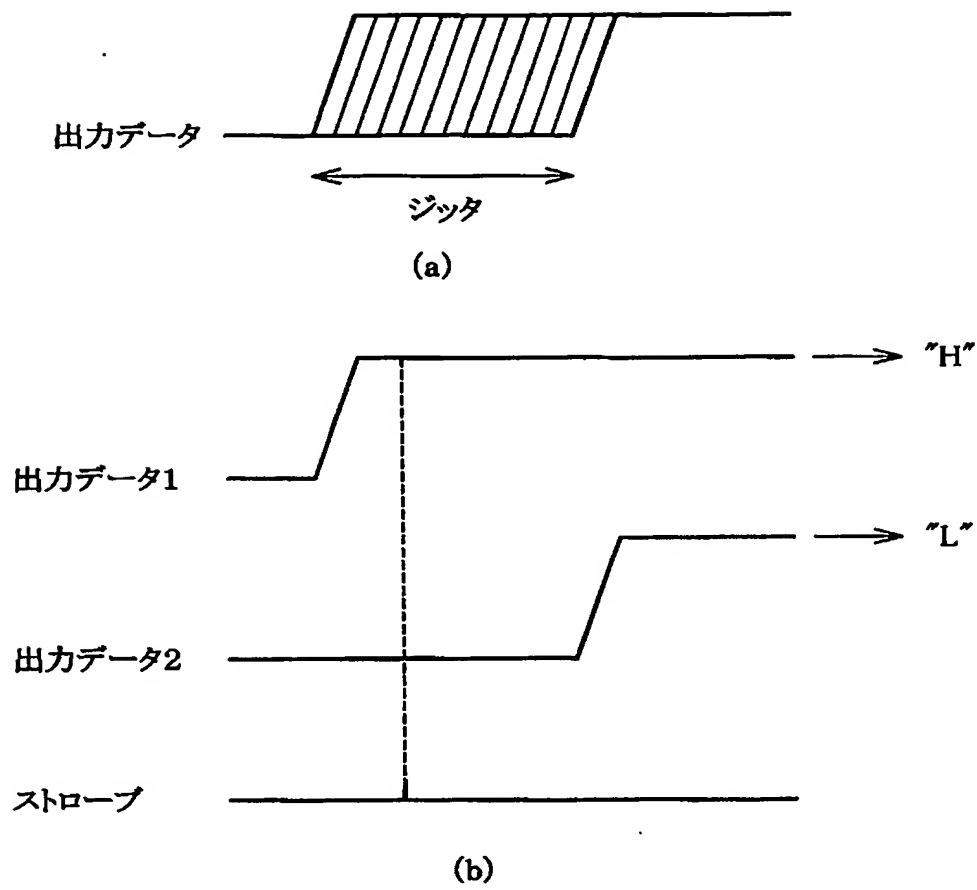
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 DUT（被試験デバイス）の出力データをDUTから出力されるクロックの立ち上がり及び立ち下りの両エッジタイミングで取得し、DDR型デバイスの出力データをクロックに同期させて取り込む。

【解決手段】 DUT1からのクロックを入力して一定のタイミング間隔の複数のストロークにより取得し、時系列のレベルデータとして出力するクロック側タイムインターポレータ20と、DUT1からの出力データを入力して一定のタイミング間隔の複数のストロークにより取得し、時系列のレベルデータとして出力するデータ側タイムインターポレータ20と、タイムインターポレータ20で取得される時系列のレベルデータを切り替えて、当該レベルデータの立ち上がり及び／又は立ち下りエッジを示すレベルデータを選択的に出力するエッジセレクト30を備える。

【選択図】 図1

特願 2 0 0 2 - 3 7 0 6 3 4

出 願 人 履 歴 情 報

識別番号

[ 3 9 0 0 0 5 1 7 5 ]

1. 変更年月日

1 9 9 0 年 1 0 月 1 5 日

[変更理由]

新規登録

住 所

東京都練馬区旭町 1 丁目 3 2 番 1 号

氏 名

株式会社アドバンテスト